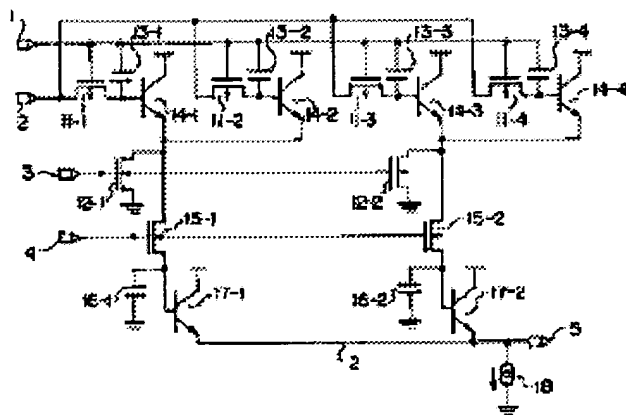


SOLID STATE IMAGE PICKUP DEVICE

Patent number: JP8214217
Publication date: 1996-08-20
Inventor: UENO TOSHITAKE
Applicant: CANON KK
Classification:
- international: H04N5/335; H01L27/146; H01L31/10; H04N1/028
- european:
Application number: JP19950015342 19950201
Priority number(s): JP19950015342 19950201

Abstract not available for JP8214217



Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-214217

(43)公開日 平成8年(1996)8月20日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 5/335

F

H 0 1 L 27/146

31/10

H 0 1 L 27/ 14

A

31/ 10

G

審査請求 未請求 請求項の数7 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願平7-15342

(22)出願日 平成7年(1995)2月1日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 上野 勇武

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

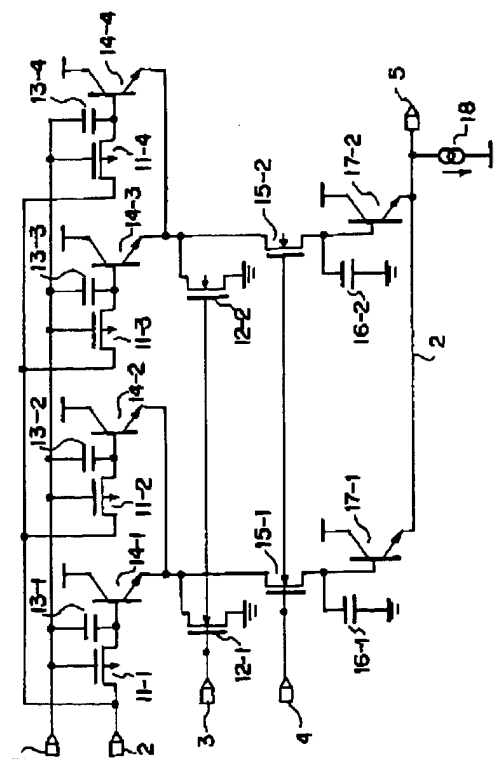
(74)代理人 弁理士 山下 穰平

(54)【発明の名称】 固体撮像装置

(57)【要約】

【目的】 画素ブロックの信号を損失なく、高速で読みだすことを目的とする。

【構成】 2個以上の画素11で構成されたブロックが複数個配列された固体撮像装置において、ブロックの出力信号はそれぞれブロックバッファ手段83を介して共通接続され、前記画素の最大値又は最小値を出力することを特徴とする。また、ブロックバッファ手段83は自己バイアス方式によるトランジスタのベースを入力としエミッタホロワ出力としたことを特徴とする。さらに、1画素毎に光電変換電荷を読み出す第1の光電変換手段と画素の複数をブロックとしてブロック毎に光電変換電荷を読み出す第2の光電変換手段とを備え、第2の光電変換手段の出力に最大出力手段を介して共通接続線に接続したことを特徴とする。



【特許請求の範囲】

【請求項1】 2個以上の画素で構成されたブロックが複数個配列された固体撮像装置において、前記ブロックの出力信号はそれぞれブロックバッファ手段を介して共通接続され、前記画素の最大値又は最小値を出力することを特徴とする固体撮像装置。

【請求項2】 請求項1に記載の固体撮像装置において、前記ブロックバッファ手段は自己バイアス方式によるトランジスタのベースを入力としエミッタホロワ出力としたことを特徴とする固体撮像装置。

【請求項3】 請求項1に記載の固体撮像装置において、前記ブロックバッファ手段はNPNトランジスタからなることを特徴とする固体撮像装置。

【請求項4】 請求項1に記載の固体撮像装置において、前記ブロックバッファ手段はPNPトランジスタからなることを特徴とする固体撮像装置。

【請求項5】 1画素毎に光電変換電荷を読み出す第1の光電変換手段と前記画素の複数をブロックとしてブロック毎に光電変換電荷を読み出す第2の光電変換手段とを備え、前記第2の光電変換手段の出力に最大出力手段を介して共通接続線に接続したことを特徴とする固体撮像装置。

【請求項6】 請求項5に記載の固体撮像装置において、前記最大出力手段は前記各ブロック毎にトランジスタのベースを入力としエミッタホロワ形式の出力としたことを特徴とする固体撮像装置。

【請求項7】 請求項5に記載の固体撮像装置において、前記画素は少なくとも2以上のエミッタ端子を有するトランジスタにより構成されていることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、固体撮像装置に関し、光電変換素子の複数個をブロック化した固体撮像装置に関する。

【0002】

【従来の技術】 近年、半導体技術の著しい発展にともない、CCDに代表される固体撮像装置の性能は大幅に向上し、ファクシミリ、スキャナー等、さまざまな製品に用いられるようになってきている。それとともに、固体撮像装置に要求される高感度化、高解像度化といった特性向上の要求はもちろん、低電圧駆動に対する要求も次第に高まっており、CCDにおいては最近では5V電源で駆動できる製品も登場し、さらに低電圧で駆動するための開発がなされている。

【0003】 また、高感度化については、いままで抽出できなかった微弱な光をも検出し、それをもとに信号処理するといったフォトディテクターとしての用途が今後

もおおいに期待されている。

【0004】 さらに、固体撮像装置の高機能化の一つとして、ある明かりがあるか否かを検知して、明かりがあればその明かりの部分を詳細に画像出力することが要請されている。

【0005】 ここで、従来用いられているバイポーラ型固体撮像装置の例を図9、10に示す。図9は単位画素の等価回路図であり、NPNバイポーラフォトリスタ14、画素分離用リセットPMOSTランジスタ11およびベース電位制御用容量13、及び3値パルスPR供給端子、バイアスリセット供給端子VBR、で構成される。

【0006】 図10は、このバイポーラ型光電変換素子をワンラインの1次元状に4個配列した固体撮像装置である。図において、3値パルス端子1からの3値パルスがLOWレベルにより、リセット端子2のリセットパルスでPMOSTランジスタ11が導通して、NPNトランジスタ14がリセットされ、3値パルス端子1がMiddleレベルになれば、各PMOSTランジスタ11-1～11-4のゲート・ソース間電圧VGSがトランジスタのしきい値Vth以下になりPMOSTランジスタは非導通状態になり、第1のリセットが終了する。

【0007】 次に、リセット端子33がHighレベルになるとNMOSTランジスタ22が導通し、NPNトランジスタ14のエミッタがリセットされ、さらに3値パルス端子1がHighになると制御用容量13を介してNPNトランジスタ14のベースが浮遊状態になって、3値パルス端子1をMiddleレベルにすれば、光電変換による光子電荷の蓄積を開始する。その後所定時間経過して、転送端子32をHighにして、3値パルス端子1をHighにすれば、NMOSTランジスタ23が導通し、リセット端子3にHighレベルのパルスが印加され、ベース蓄積電荷を転送容量24に転送する。その後、スタートパルス30と走査パルス31を入力とする水平シフトレジスタ29から走査NMOSTランジスタ25を順次導通する走査信号を出力するので、蓄積容量24の電荷が順次出力線42移出力され、アンプ41で増幅されて出力端子28に出力される。その際、各蓄積容量24が出力される毎にリセット端子27にリセットパルスが印加され、NMOSTランジスタ26により、出力線42の残留電荷がGNDに落とされリセットされる。上記動作により1ラインの画像を出力することができ、センサを移動して上記動作を繰り返すことにより、エリアセンサとして動作する。

【0008】 上述したように、各画素の信号は、転送容量C24-1～C24-1に一旦読みだされた後、走査回路によりシリアルに出力端子に転送される。このとき、転送時のゲインGT及び出力電圧V0は

$$GT = (CT) / (CT + CH) \quad (i = 1, 2, \dots) \quad \dots (1)$$

$$V0 = (CTV1) / (CT + CH) \quad (i = 1, 2, \dots) \quad \dots (2)$$

ここで、CT…転送容量C24-1～C24-4の容量値

CH…出力線の容量値を含む寄生容量

V1…転送容量C24-1～C24-4に保持された信号電圧

で表される。ところで、CHはスイッチング用走査トランジスタ25-1～25-4やリセットトランジスタ26のドレイン容量及びゲート重なり容量と出力アンプの入力容量、出力配線の寄生容量からなり、その値は構成される画素数や製造プロセスに大きく依存し、例えば画素数が数百の場合には数pF程度になる。一方、CTはMOS容量や、接合容量で形成され、実際の集積回路ICでは数pF程度の容量値で設計されることがほとんどである。

【0009】

【発明が解決しようとする課題】従って、上記の転送ゲインは通常、約0.3～0.4の値になり、これより大きくするとチップサイズ増大に伴うコストアップに繋がる。従って、大きな信号量が必要な場合は、後段で数倍のゲインをかけて出力する必要があるものの、低電圧駆動においては入出力ダイナミックレンジが狭いため、十分なゲインをかけることは困難であった。

【0010】また、画像撮像する場合、画像が暗くて画素の感度が及ばない暗さの条件ではもともと撮像する必要もないが、ある程度の明るさの場合にはその明るい部分を詳細に撮像する必要がある場合がある。そういう条件の場合、ラインセンサで検出しようすると常に全画素を走査しなければならず、その走査時間に長時間を要し、走査による消費電力が大きく、特にその明るさが瞬時に発生した場合にはその瞬時の明るい部分を検出することが困難であった。

【0011】

【課題を解決するための手段と作用】本発明の固体撮像装置では、2個以上の画素で構成されたブロックが複数個配列された固体撮像装置において、上記ブロックの出力信号はそれぞれ増幅手段を介して共通接続されていることを特徴としている。

【0012】以下、図11を用いてその作用を概念的に説明する。図11において80は光電変換素子の単位画素、81は画素の信号をバッファする画素バッファ手段、82はクランプ回路等の機能回路、83はブロックの信号をバッファするブロックバッファ手段である。画素80からの信号はそれぞれ画素バッファ81を介して3画素間でワイヤード接続され、ブロック信号として機能回路82に読みだされ、適当な信号処理が施された後、さらにブロックバッファ83を介してその出力が全ブロック分ワイヤード接続され、出力端子84には全ブロックを代表する信号が出力される。

【0013】上記の動作はすべて全画素または全ブロック一括して行われるため、処理時間が極めて短くすみ、

従って消費電力も少なくすむ。またブロックバッファ手段83としてバイポーラトランジスタを用い、そのエミッタ端子を全ブロックで共通接続することにより出力端子84には各ブロックの信号の最大値を損失することなく読みだすことができる。

【0014】さらに、上記にはブロック形式の画像読み出しについて説明したが、このブロックの各画素を画素毎に読み出す従来の固体撮像装置とともに読み出すことで、固体撮像装置の高機能化に対応することができる。具体的には、1画素毎に光電変換電荷を読み出す第1の光電変換手段と前記画素の複数をブロックとしてブロック毎に光電変換電荷を読み出す第2の光電変換手段とを備え、前記第2の光電変換手段の出力に最大出力手段を介して共通接続線に接続したことを特徴とするものである。以下の実施例でこれらをさらに詳細に説明する。

【0015】

【実施例】

(1) 第1の実施例

図1に本発明による第1の実施例を示す。本実施例は光電変換素子として図10に示したバイポーラ型光電変換素子を用い、これを1次元状に4個並べたものである。即ち、図12と比すれば、バイポーラ型光電変換素子としてのNPNトランジスタ14とベース制御用容量13とリセットPMOSTランジスタ11が画素80に該当し、NPNトランジスタ14のエミッタが画素バッファ81に該当し、リセットNMOSTランジスタ12と転送NMOSTランジスタ15と転送容量16が機能回路82に該当し、NPNトランジスタ17と低電流源18がブロックバッファ83に該当する。そうして、NPNトランジスタ14-1と14-2、NPNトランジスタ14-3と14-4の画素がそれぞれ1ブロックを形成する。

【0016】本実施例の動作を図2のタイミングチャートを用いて簡単に説明する。

【0017】まず、時刻T0において、3値パルス端子1にLowレベルのパルスを印加すると、PMOSTランジスタ11-1～11-4が導通し、各光電変換素子のベース領域がリセット端子2に与えられる電圧にリセットされる(第1のリセット)。その後、時刻T1において、3値パルス端子1のパルスがMiddleレベルになり、各PMOSTランジスタ11-1～11-4のゲート・ソース間電圧VGSがトランジスタのしきい値Vth以下になると、PMOSTランジスタは非導通状態になり、第1のリセットは終了する。

【0018】さらに、時刻T2になると、リセットパルス端子3にHighレベルのパルスが印加され、NMOSTランジスタ12-1、12-2が導通し、各画素NPNトランジスタ14のエミッタ電位がリセット電位(図ではGND)にリセットされる。その後、時刻T3において、3値パルス端子1にHighレベルのパルス

が印加されると、PMOSトランジスタ11-1~11-4は非導通状態のままで、ベース制御容量13-1~13-4を介した容量結合によりNPNトランジスタ14のベース電位が上昇し、ベース・エミッタ間電圧が順バイアスされ、NPNトランジスタ14はエミッタフォロア動作を行うい、浮遊状態であるベース領域上のホールが再結合され、その結果ベース電圧はNMOSトランジスタ12-1, 12-2を介してリセットされる(第2のリセット)。

【0019】このリセットが終了すると、時刻T4において、3値パルス端子1のパルスがMiddleレベルまで立ち下がり、今度は各画素のベース電位は負側にふられ、ベース・エミッタ間電圧は逆バイアス状態になり、この時点でベースに光電変換電荷の蓄積動作が開始される。

【0020】つぎに、所定の蓄積時間が経過した後、時刻T5において、転送端子4にHighレベルのパルスが印加されると、NMOSトランジスタ15-1, 15-2が導通状態になり、各画素のNPNトランジスタ14のエミッタと容量16-1, 16-2が導通されると同時にNMOSトランジスタ12-1, 12-2を介し*

$$V0 = CT \times hFE \times V1 / (CT \times hFE + CH) \quad \dots (3)$$

となり、通常NPNトランジスタ17のhFEは100以上あるため、寄生容量CHはほとんど無視でき、ほぼゲイン1で読みだすことができる。

【0021】つぎに、時刻T8において、転送端子4のパルスがLowレベルに立ち下ると読みだしが終了し、転送容量16-1, 16-2が浮遊状態になり出力電圧は徐々に低下する。

【0022】その電圧低下の傾きは、出力段に設けた定電流源18の電流値をISとすると、
 $IS / hFE \times CB$

(ただし、CBはNPNトランジスタ17-1, -2のベース容量である。)

となり、定電流値ISを小さく設計することにより、出力期間を長くとることができる。

【0023】上記実施例1では、ブロックバッファ手段にNPNトランジスタを使用した回路を示したが、PNPトランジスタを用いることもできる。この場合、ベースは機能回路に接続し、共通接続のエミッタに電源から定電流源を介して接続し、コレクタをアースに接続し、共通接続のエミッタから出力する。これにより、上記と反対に、各ブロックの最低電位が出力される。さらに、例えば画素をPNPトランジスタとNMOSトランジスタといったように、本実施例と逆極性にするにより、各画素中、最低電荷の画素の電荷が出力されることとなる。この最低画素電荷を検出する例としては、上記と逆に極めて明るい状況中、一瞬ワンポイントだけ暗い部分が発生した場合に、瞬時に暗い部分があることを検出することができる効果がある。

*てGNDにリセットされる。そして、時刻T6において、リセットパルス端子3のパルスがLowレベルに立ち下がり、NMOSトランジスタ12-1, 12-2が非導通状態になった後に、時刻T7において、3値パルス端子1にHighレベルのパルスが印加されると、各画素のベース電位は容量13-1~13-4を介して正側にふられ、各画素のNPNトランジスタ14-1~14-4のベース・エミッタ間電圧が順バイアス状態になり、画素1, 2および画素3, 4の信号の最高電圧がそれぞれ転送容量16-1, 16-2に読みだされる。このとき転送容量16-1, 16-2にはともにNPNトランジスタ17のベースが接続されており、かつ、それらのエミッタは出力線2に共通接続されているため転送容量16-1, 16-2の最高電圧が出力線2に出力される。このとき転送容量16-1, 16-2の容量値をCT、出力線2の寄生容量値をCH、NPNトランジスタの電流増幅率をhFEとし、転送容量16-1, 16-2に読みだされたブロックの出力電圧をそれぞれ、V1, V2 (V1 > V2) とすると、出力線2に読みだされる電圧V0はトランジスタのコレクタ電流Icはベース電流IbのhFE倍であることから、

【0024】以上、説明したように、本発明により画素ブロックの信号を損失なく、しかも高速で読みだす事ができるためディテクターとして好適に用いられる。

(2) 実施例2

図3, 4に本発明による第2の実施例を示す。図1と同一符号のものは同様な機能を有するものとして詳細な説明を省略する。本実施例は実施例1を改良したもので、実施例1のブロック信号読み出しと1画素ずつの信号読み出しの両方に対応できるようにしたものである。本実施例で用いた光電変換素子は、図3に示すようにエミッタ端子を2個有するNPNトランジスタ21、PMOSトランジスタ11および容量手段13から構成され、さらにエミッタ端子2個のうち1つは他の光電変換画素間で共通接続され、画素ブロックを形成し、ブロックを構成する画素の最高電圧が出力される。具体的には、従来例で説明した図11と実施例1で説明した図1とを縦列的に接続したものである。

【0025】本実施例の動作を、図5のタイミングチャートを用いて簡単に説明する。

【0026】まず、時刻T0において、3値パルス端子1にLowレベルのパルスを印加し画素の第1のリセットを行った後、時刻T1において、3値パルス端子1のパルスがMiddleレベルになってPMOSトランジスタ11を非導通とし、さらに時刻T2になると、リセット端子3、端子33にHighレベルのパルスが印加され、各画素のNPNトランジスタ21の2つのエミッタ電位がリセット電位(図ではGND)にリセットされる。その後、時刻T3において、3値パルス端子1にH

Highレベルのパルス印加し、NMOSトランジスタ12、22を介して第2のリセットを行なう。時刻T4において、3値パルス端子1のパルスがMiddleレベルまで立ち下がり、リセットが終了すると、NPNトランジスタ21のベースに光電変換電荷の蓄積動作が開始される。

【0027】つぎに、所定の蓄積時間が経過した後、時刻T5において、転送端子32および4にHighレベルのパルスが印加されると、NMOSトランジスタ23-1~23-4および15-1、15-2が導通状態になり、各画素の第1エミッタと容量24-1~24-4、第2エミッタと容量16-1、16-2が導通され、各画素のエミッタおよび各容量の電位がNMOSトランジスタ12、22を介してGNDにリセットされる。その後、時刻T7において、3値パルス端子1にHighレベルのパルスが印加されると、各画素の信号はそれぞれ、容量24-1~24-4に読み出されるとともに、画素1、2および画素3、4の信号の最高電圧がそれぞれ容量16-1、16-2に読みだされ、出力線2には容量16-1、16-2の最高電圧が出力される。つぎに、時刻T8において、転送端子32および4のパルスがLowレベルに立ち下がり、読みだし動作が終了する。

【0028】その後、時刻T9において、3値パルス端子1のパルスがLowレベルに立ち下がった後、時刻T10において、リセット端子27にHighレベルのパルスを入力し、出力線42をリセットした後、時刻T11、T12において、走査回路29にスタートパルス30、および走査パルス31を入力すると、クロック信号に同期して、各画素の信号が時系列的に出力端子28に読みだされる。

【0029】本実施例ではブロック信号を読みだした後、各画素信号を読みだしているが、ディテクター等の用途の場合、つぎのような駆動も考えられる。例えば、まずブロックの信号を読みだし、そのブロック信号量が所定値より大きい(小さい)かどうかを判定し、その信号量が大きい(小さい)ならそのつぎに各画素の信号を1つずつ読みだし、その信号量が小さい(大きい)なら各画素信号が低すぎるとして各画素の信号の読み出しをストップする、といった動作を行うことにより動作を非常に簡略化することができ、従って、処理時間を短縮し、かつ消費電力も大幅に低減することができる。

(3) 実施例3

図6に本発明による第3の実施例を示す。図1等と同一符号のものは同様な機能を有するものとして詳細な説明を省略する。本実施例は、第2の実施例に対して各垂直出力線に直列に容量手段38-1~38-4および容量手段36-1、36-2を設け、これを用いて各信号毎にクランプ動作をさせるものである。このクランプ動作により、例えば、FPN(Fixed Pattern

Noise)やランダムノイズを除去したり、または、被写体にLED等の光源から光を照射しその反射光を撮像する場合において、反射光以外の外光成分を除去することが可能になる。図7のタイミングチャートを用いてこれを簡単に説明する。

【0030】まず時刻T0からT7の期間において画素の第1、第2のリセット、1回目の蓄積動作、および信号読みだし動作を行う。そして、読みだし動作が終了する直前に時刻T7において、リセット端子34、35のパルスを立ち下げる。その後、時刻T11において、リセット端子3、33にHighレベルのパルスを入力し各画素のエミッタをリセットすると、結合容量38-1~38-4および結合容量36-1、36-2を介して保持のための転送容量24-1~24-4および転送容量36-1、36-2が読みだされた信号分だけ負側にふられる。その後、時刻T12~T15において再び、画素の第1、第2のリセットを行ない、第2の蓄積動作を行った後、時刻T15において読みだし動作を行うと、第1の蓄積によって読みだされた信号との差信号が転送容量24-1~24-4および16-1、16-2に読みだされる。従って、時刻T15以降、画素ブロックの最大値が出力端子5に読みだされ、一方で、時刻T19以降において、走査回路29を駆動することによって、各画素の信号が出力端子28から時系列的に出力される。

【0031】ここで、第1の蓄積時間を非常に短くすることによって暗時に相当する出力が得られるため、この出力と第2の出力との差分出力を得ることによって増幅型固体撮像素子の短所の1つであるFPNを除去することができる。また、第1、第2の蓄積を同じにし、第2の蓄積期間中に被写体に向けてLED等の光源から光を照射することによって、明るい室内でも被写体の反射像を高精度で読みだすことができ、特にディテクターとして好適に用いられる。

【0032】尚、本実施例においても、第2の実施例で説明したように画素ブロックの信号をディテクトし、必要なときだけ各画素の信号を1つずつ読みだすようにすると、読みだし時間の短縮化、消費電力低減ができる。さらに本実施例において、各画素の信号もクランプ回路を介して出力されたが、それを省略してもよいことは言うまでもない。

(4) 実施例4

図8に本発明による第4の実施例を示す。図1等と同一符号のものは同様な機能を有するものとして詳細な説明を省略する。本実施例は第3の実施例に対して光電変換素子をエリアセンサとして、2次元状に配列したものである。

【0033】図8において、縦2画素、横2画素でブロックを構成し、その出力は、転送容量24-1~24-4に読みだされる一方で、各画素の信号は垂直シフトレ

ジスタの出力によって駆動される。本実施例によれば第3の実施例より広範な撮像領域がえられるため、より高精度の検出動作が実現できる。

【0034】図8において、垂直走査シフトレジスタ43はスタートパルス50と垂直走査パルス51により水平ラインに順次水平走査パルスを出し、インバータを含むスイッチ44-1～44-4を制御する。3値パルス端子1の3値パルスはスイッチ44によりオンオフされ、まず第1、第2水平走査ラインのNPNトランジスタ21-11～21-14等及びNPNトランジスタ21-21～21-24等の光電変換素子の画素を動作させ、各画素は転送容量24-1～24-4に転送され、出力線42から各画素毎に順次出力端子28に出力される。一方、ブロック部ではNPNトランジスタ21-11、21-12、21-21、21-22から得られた電荷を結合容量36-2に、NPNトランジスタ21-13、21-14、21-23、21-24から得られた電荷を結合容量36-4に結合し、転送容量16-2、16-4にそれぞれ転送され、出力端子5に各ブロックの最大電荷量に相当する電圧が出力される。

【0035】上述したように、本実施例では2×2画素を1ブロックとして説明したが、この画素数はこれ以上でもよく、画素数が増加するほど出力端子5の出力はSN比が向上すると共に、高速画像読み出しを可能とし、各画素との読み出しとも兼ねて、高精度な画像撮像ができる。

【0036】以上の実施例では各ブロックの信号をNPNトランジスタを用いたピーク信号で検出動作を行ったが、PNPトランジスタを用いてボトム信号も検出するようにしても全く問題ないし、それら両方を用いると、よりきめ細かい検出が可能になる。

【0037】また上記の実施例はすべてバイポーラ型光電変換素子を用いて説明したが、CMD、AMI、FGA等のXYアドレス型の光電変換素子を用いても同様の効果が得られる。

【0038】

【発明の効果】従って、本発明によれば、画素ブロックの信号を損失なく、しかも高速で読みだすことができるため、ディテクターとして好適に用いられる。

【0039】また、本発明によれば、画素のブロック信号を読みだした後、各画素信号を読みだしているため、ディテクター等の用途の場合、例えば、まずブロックの信号を読みだし、そのブロック信号量が所定値より大きい(小さい)かどうかを判定し、その信号量が大きい

(小さい)ならばそのつぎに各画素の信号を1つずつ読みだし、その信号量が小さい(大きい)ならば各画素信号が低すぎるとして各画素の信号の読み出しをストップ

する、といった動作を行うことにより動作を非常に簡略化することができ、従って、処理時間を短縮し、かつ消費電力も大幅に低減することができる。

【0040】さらに、ブロック信号を活用するために、第1の蓄積時間を非常に短くすることによって暗時に相当する出力が得られ、この出力と第2の出力との差分出力を得ることによって増幅型固体撮像素子の短所の1つであるFPNを除去することができる。また、第1、第2の蓄積を同じにし、第2の蓄積期間中に被写体に向けてLED等の光源から光を照射することによって、明るい室内でも被写体の反射像を高精度で読みだすことができ、特にディテクターとして好適に用いられる。

【図面の簡単な説明】

【図1】本発明による一実施例の回路構成図である。

【図2】本発明による一実施例のタイミングチャートである。

【図3】本発明による一実施例の光電変換素子の回路構成図である。

【図4】本発明による一実施例の回路構成図である。

【図5】本発明による一実施例のタイミングチャートである。

【図6】本発明による一実施例の回路構成図である。

【図7】本発明による一実施例のタイミングチャートである。

【図8】本発明による一実施例の回路構成図である。

【図9】従来の光電変換素子の回路構成図である。

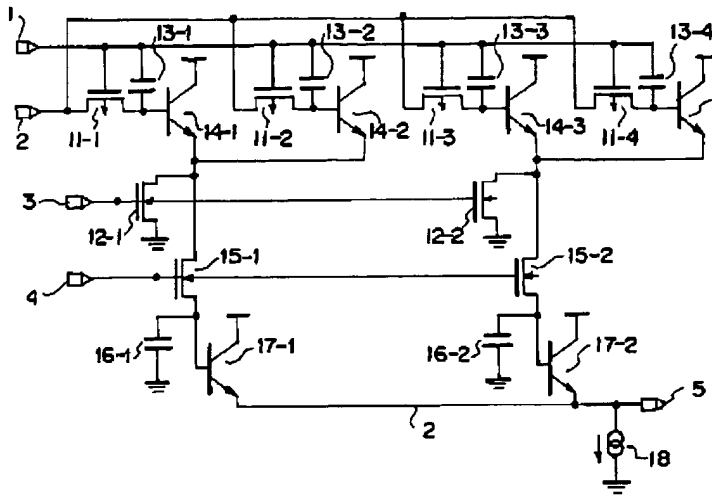
【図10】従来の固体撮像装置の回路構成図である。

【図11】本発明による一実施例の概念的なブロック構成図である。

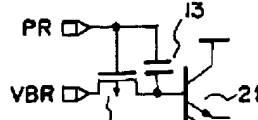
【符号の説明】

- 1 3値パルス端子
- 2 リセット端子
- 3 リセット端子
- 4 転送端子
- 5 出力端子
- 11 PMOSトランジスタ
- 13 ベース制御用容量
- 14 NPNトランジスタ
- 21 2エミッタNPNトランジスタ
- 29 水平シフトレジスタ
- 41 出力アンプ
- 42 出力線
- 43 垂直シフトレジスタ
- 80 画素
- 81 画素バッファ手段
- 82 機能回路
- 83 ブロックバッファ手段

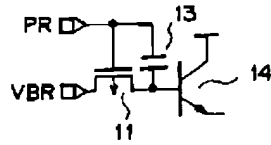
【図1】



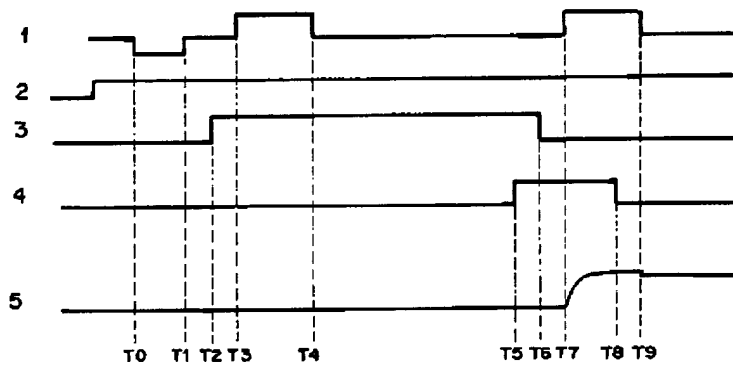
【図3】



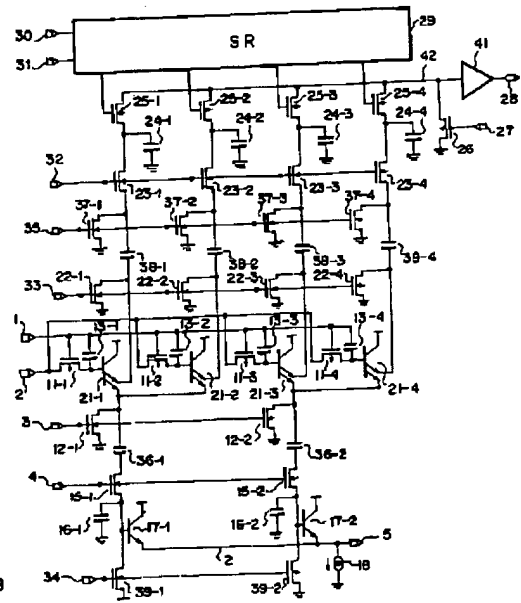
【図9】



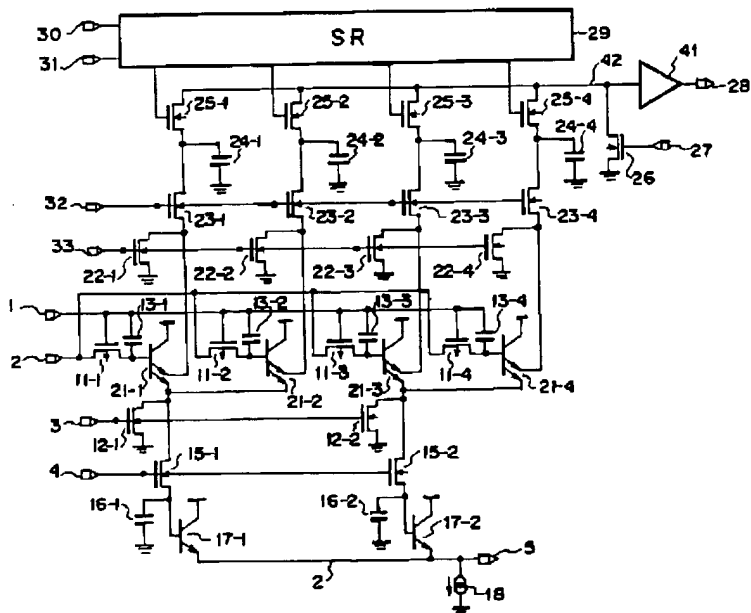
【図2】



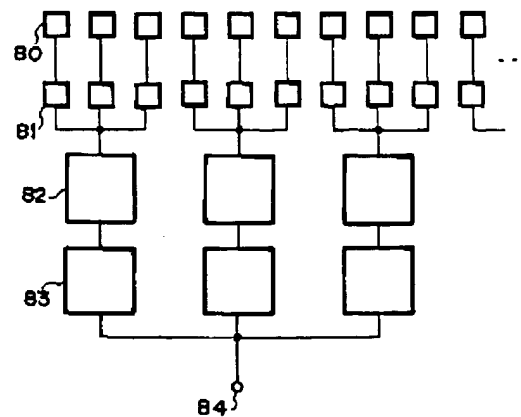
【図6】



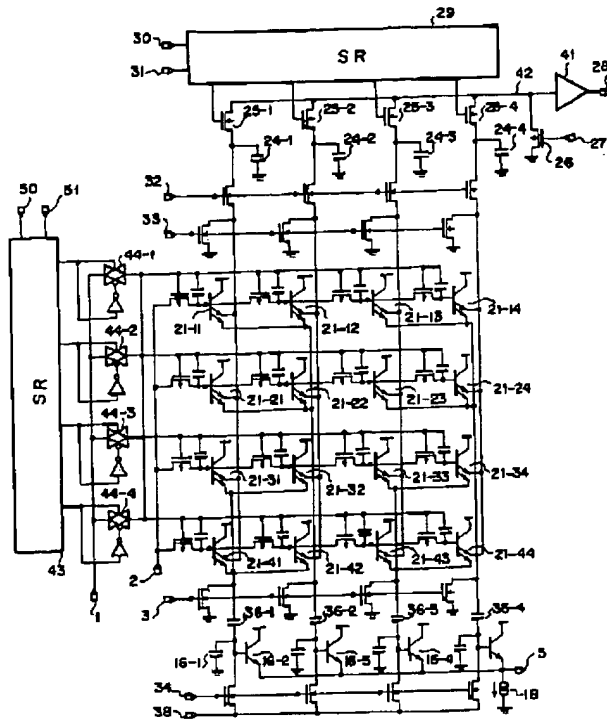
【図4】



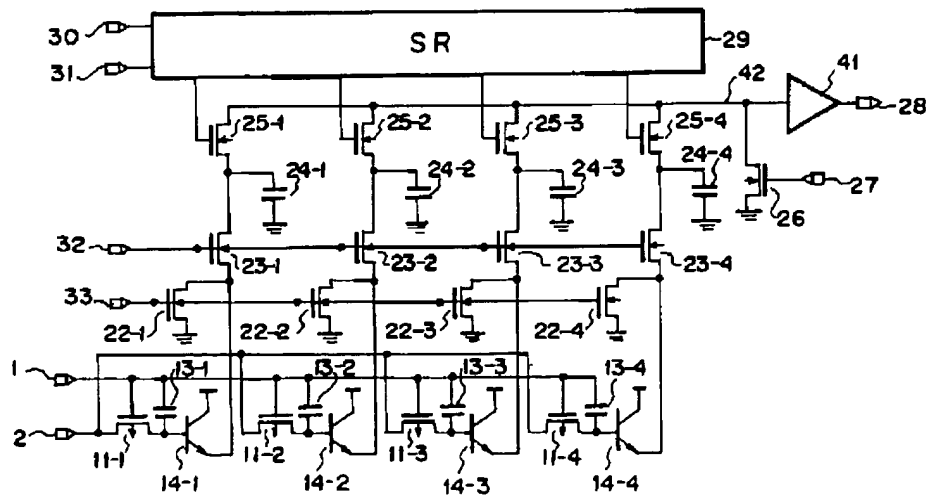
【図11】



【図8】



【図10】



フロントページの続き

(51)Int. Cl. 6

H04N 1/028

識別記号

片内整理番号

A

F I

技術表示箇所

THIS PAGE BLANK (USPTO)